

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**THIS PAGE BLANK (USPTO)**

09/856807

JC18 Rec'd PCT/PTO 2 4 MAY 2001  
Patent

42390.P11872

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of: )  
 )  
Christian Niels Finseth )  
 )  
 )  
 )  
For: A METHOD AND A CIRCUIT FOR )  
RECOVERING A DIGITAL DATA SIGNAL AND )  
A CLOCK FROM A RECEIVED DATA SIGNAL )

Commissioner of Patents  
Washington, D.C. 20231

**Request for Priority**

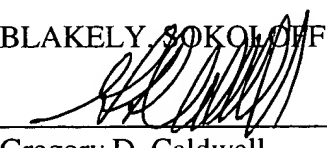
Sir:

Applicant requests a convention priority for the above-captioned application, PCT application PCT/DK99/00648, filed November 24, 1998.

Respectfully Submitted

BLAKELY, SOKOLOFF, TAYLOR & ZAFMAN, LLP

Dated: 5/24/07

  
\_\_\_\_\_  
Gregory D. Caldwell  
Registration No. 39,926

12400 Wilshire Blvd.  
Seventh Floor  
Los Angeles, CA 90025-1026  
(503) 684-6200

**THIS PAGE BLANK (USPTO)**



REC'D 28 DEC 1999

WIPO PCT

# Kongeriget Danmark

09/856807

Patent application No.: PA 1998 01543

Date of filing: 24 Nov 1998

Applicant: GIGA A/S  
Mileparken 22  
DK-2740 Skovlunde

This is to certify the correctness of the following information:

The attached photocopy is a true copy of the following document:

- The specification, claims, abstract and drawings as filed with the application on the filing date indicated above

Patent- og  
Varemærkestyrelsen  
Erhvervsministeriet  
TAASTRUP 14 Dec 1999*Lizzi Vester*Lizzi Vester  
Head of Section

## PRIORITY DOCUMENT

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

# Hofman-Bang



HOFMAN-BANG & BOUTARD, LEHMANN & REE A/S  
EUROPEAN PATENT AND TRADEMARK ATTORNEYS

GIGA A/S  
Skovlunde  
DK

Modtaget PD  
24 NOV. 1998

✓ HANS BEKKEVOLD'S ALLÉ 7  
DK-2900 HELLERUP, COPENHAGEN  
TEL: +45 39 48 80 00  
FAX: +45 39 48 80 80  
EMAIL: HBBLR@HOFMAN-BANG.DK  
WWW.HOFMAN-BANG.COM

AARHUS OFFICE:  
RYESGADE 3  
P.O. Box 367  
DK-8100 AARHUS C

Deres ref.:

Vor ref.:

Dato:

P199800926 DK  
JPB

24. november 1998

Fremgangsmåde og kredsløb til gendannelse af et digitalt datasignal  
og et kloksignal ud fra et modtaget datasignal

Opfindelsen angår en fremgangsmåde til gendannelse af et digitalt datasignal og et kloksignal ud fra et modtaget datasignal bestående af et antal på hinanden følgende bit, hvor der først ved hjælp af et resonatorkredsløb frembringes et kloksignal ud fra det modtagne datasignal, og hvor det gendannede datasignal frembringes ved at sample det modtagne datasignal med det gendannede kloksignal. Desuden angår opfindelsen et tilsvarende kredsløb.

10

Ved modtagelse af hurtige digitale datasignaler i form af en række på hinanden følgende bit, f.eks. fra en optisk transmissionsforbindelse, vil man typisk gendanne et kloksignal ud fra det modtagne datasignal og ved hjælp af dette kloksignal retime de indkommende data i f.eks. en flip-flop, hvilket vil sige, at de enkelte bit i datasignalet synkroniseres med klocksignalet. Der kendes en række fremgangsmåder til opnåelse af dette. Ved en hyppigt anvendt fremgangsmåde gendannes eller uddrages klocksignalet ved først at frembringe et signal, som indeholder en puls for hvert skift i det modtagne datasignal, og derefter filtrere dette pulssignal gennem et resonatorkredsløb. Resonatorkredsløbet kan f.eks. indeholde et SAW-filter eller et dielektrisk high-Q-filter. Blandt fordelene ved denne fremgangsmåde er, at der opnås et meget rent og veldefineret kloksignal. Desuden er metoden velanset og gennemprøvet ved meget høje datahastigheder.

25

Ved meget høje datahastigheder er de enkelte bitperioder ifølge sagens natur meget korte; bitperioden ved 2,5 Gbit/s er f.eks. kun 400 ps. Det modtagne datasignal er for hver bit således kun stabilt i meget kort tid, og det er derfor vigtigt, at det indkommende datasignal samples ret præcist midt i bitperioden eller, som det også betegnes, midt i øjediagrammet. Da det tidslige forløb af såvel datasignalet som klocksignalet er udsat for variatio-

30

35

ner stammende fra transmissionsforbindelsen samt f.eks. proces- og temperaturvariationer, er det vanskeligt at sikre, at synkroniseringen mellem dem er tilstrækkelig god til, at samplingen faktisk sker midt i bitperioden.

- 5 Dette kan i nogen grad afhjælpes ved at indskyde et justerbart tidsforsinkelseselement i et af signalerne. Typisk vil der være tale om at forsinke datasignalet, da det gendannede kloksignal i forvejen udsættes for en vis
- 10 forsinkelse i f.eks. resonatorkredsløbet. Denne løsning kræver imidlertid en indjustering af det pågældende kredsløb, og da denne justering må foretages individuelt for hvert enkelt kredsløb under produktion, er det en
- 15 proces, som i væsentlig grad fordyrer og komplicerer produktet. Desuden kan man på denne måde kun tage højde for statiske forskelle, hvorimod dynamiske variationer, der f.eks. kan skyldes temperaturvariationer, ikke kompenseres.
- 20 Det er derfor et formål med opfindelsen at angive en fremgangsmåde af den ovennævnte art, hvor det automatisk sikres, at samplingen sker midt i datasignalets bitperiode, og hvor man således undgår en individuel justering af synkroniseringen i de forudgående kredsløb.
- 25 Ifølge opfindelsen opnås dette ved, at det modtagne datasignal og det gendannede kloksignal faselåses til hinanden, således at det modtagne datasignal samples tilnærmelsesvis midt i hver bit. Ved at faselåse de to signaler
- 30 til hinanden umiddelbart inden samplingen ophæves virkningen af de varierende tidsforsinkelser, som de to signaler hver især har været udsat for på deres vej gennem kredsløbet, og hver sampling kan foretages præcis i det meget korte tidsrum, hvor datasignalet er stabilt.



Som angivet i krav 2 kan faselåsningsen hensigtsmæssigt foretages ved, at der måles en faseforskel mellem det gendannede kloksignal og det modtagne datasignal, og at et af dem tidsforsinkes i afhængighed af denne faseforskel.

Som angivet i krav 3 kan det være det gendannede kloksignal, der tidsforsinkes i afhængighed af den målte faseforskel. Dette giver en meget præcis tidsjustering, og desuden er det en fordel, at tidsforsinkelsen kun skal virke ved en enkelt frekvens, idet kloksignalet kun har et enkelt frekvensindhold.

Alternativt kan det som angivet i krav 4 være det modtagne datasignal, der tidsforsinkes i afhængighed af den målte faseforskel.

Tidsforsinkelsen kan som angivet i krav 5 frembringes ved at tilføre den målte faseforskel som styresignal til en styrbar forsinkelsesenhed. Herved opnås en relativt enkel løsning, idet man med blot en enkelt komponent, nemlig en styrbar forsinkelsesenhed, kan opnå den ønskede virkning.

Alternativt kan tidsforsinkelsen som angivet i krav 6 frembringes ved at tilføre den målte faseforskel som et yderligere styresignal til en frekvenslåst sløjfe, hvori en styret oscillator frembringer det gendannede kloksignal styret af et signal, som er frembragt som udtryk for en frekvensvariation mellem det gendannede kloksignal og et udgangssignal fra nævnte resonatorkredsløb. Ved at benytte en frekvenslåst sløjfe til frembringelse af det tidsforsinkede signal opnås, at dette kan frembringes stort set uden jitter, hvorved også det retimedede datasignal bliver stort set fri for jitter.

Som nævnt angår opfindelsen desuden et kredsløb til gendannelse af et digitalt datasignal og et klocksinal ud fra et modtaget datasignal bestående af et antal på hinanden følgende bit, hvor kredsløbet omfatter et resonantorkredsløb til at frembringe et klocksinal ud fra det modtagne datasignal og er indrettet til at frembringe det gendannede datasignal ved at sample det modtagne datasignal med det gendannede klocksinal. Ved at kredsløbet er indrettet til at faselåse det modtagne datasignal og det gendannede klocksinal til hinanden, således at det modtagne datasignal samples tilnærmelsesvis midt i hver bit, opnås som ovenfor beskrevet, at virkningen af de varierende tidsforsinkelser, som de to signaler hver især har været udsat for på deres vej gennem kredsløbet, ophæves, og hver sampling kan foretages præcis i det meget korte tidsrum, hvor datasignalet er stabilt.

Som angivet i krav 8 kan kredsløbet hensigtsmæssigt omfatte midler til at måle en faseforskel mellem det gendannede klocksinal og det modtagne datasignal og til at foretage nævnte faselåsning ved at tidsforsinke et af dem i afhængighed af denne faseforskel.

Som angivet i krav 9 kan det være det gendannede klocksinal, som kredsløbet omfatter midler til at tidsforsinke i afhængighed af den målte faseforskel. Dette giver en meget præcis tidsjustering, og desuden er det en fordel, at tidsforsinkelsen kun skal virke ved en enkelt frekvens, idet klocksignalet kun har et enkelt frekvensindhold.

Alternativt kan det som angivet i krav 10 være det modtagne datasignal, som kredsløbet omfatter midler til at tidsforsinke i afhængighed af den målte faseforskel.

Kredsløbet kan som angivet i krav 11 omfatte en styrbar forsinkelsesenhed til frembringelse af nævnte tidsforsin-

kelse styret af den målte faseforskel. Herved opnås en relativt enkel løsning, idet man med blot en enkelt komponent, nemlig en styrbar forsinkelsesenhed, kan opnå den ønskede virkning.

5

Alternativt kan kredsløbet som angivet i krav 12 til frembringelse af nævnte tidsforsinkelse omfatte en frekvenslåst sløjfe, hvori en styret oscillator kan frembringe det gendannede kloksignal styret af et signal, som  
10 er frembragt som udtryk for en frekvensvariation mellem det gendannede kloksignal og et udgangssignal fra nævnte resonator kredsløb, idet den frekvenslåste sløjfe desuden er indrettet til at frembringe nævnte tidsforsinkelse ved at få tilført den målte faseforskel som et yderligere  
15 styresignal. Ved at benytte en frekvenslåst sløjfe til frembringelse af det tidsforsinkede signal opnås, at dette kan frembringes stort set uden jitter, hvorved også det retimedede datasignal bliver stort set fri for jitter.

20 Opfindelsen vil nu blive beskrevet nærmere i det følgende under henvisning til tegningen, hvor

fig. 1 viser et kendt kredsløb til gendannelse af et digitalt datasignal og et kloksignal ud fra et modtaget datasignal,  
25

fig. 2 viser en første udførelsesform for et kredsløb ifølge opfindelsen,

30 fig. 3 viser et eksempel på opbygningen af en fasedetektor til anvendelse i kredsløbet fra fig. 2,

fig. 4 viser en anden udførelsesform for et kredsløb ifølge opfindelsen, og

35

fig. 5 viser en tredje udførelsesform for et kredsløb ifølge opfindelsen.

Fig. 1 viser et i øvrigt kendt kredsløb 1, hvori opfindelsen kan finde anvendelse. Det viste kredsløb er en del af et modtagerkredsløb, som kan modtage et digitalt datasignal f.eks. fra en optisk transmissionsforbindelse. I den optiske transmissionsforbindelse overføres kun selve datasignalet, og et tilhørende klocksignal må derfor genereres i modtageren ud fra det modtagne datasignal. Det indkommende datasignal  $D_{in}$  føres via en databuffer 2 til en X-OR-kreds 3, dels direkte og dels via et forsinkelseselement 4. Udgøres signalet  $D_{in}$  af en datastrøm på f.eks. 2,5 Gbit/s, vil bitperioden  $T$  være på 400 ps, og forsinkelseselementet 4 kan da have en forsinkelse på  $T/2$  eller 200 ps. På udgangen af X-OR-kredsen 3 vil fremkomme et pulssignal med en puls på 200 ps for hvert skift i datasignalet. Dette pulssignal føres til indgangen på et resonatorkredsløb 5, som f.eks. kan være et SAW-filter eller et dielektrisk high-Q-filter. Selve kredsløbet 1 vil typisk være udformet som et integreret kredsløb, og resonanskredsløbet 5 kan da eventuelt være en ekstern komponent, som forbindes til det integrerede kredsløb.

Da resonanskredsløbet 5 har et meget højt  $Q$ , vil der på dets udgang fremkomme et stabilt klocksignal  $C_k$  på 2,5 GHz, og dette klocksignal kan så benyttes til at sample datasignalet  $D_{in}$  i en flip-flop 6, så der på kredsløbets udgang (via en databuffer 7) fremkommer et retimet datasignal  $D_{out}$ , dvs. et datasignal, som er synkroniseret med det gendannede klocksignal  $C_k$ . Via en klokbuffer 8 er også det gendannede klocksignal tilgængeligt som signalet  $C_{kout}$  på kredsløbets udgang, idet dette også skal benyttes i efterfølgende kredsløb. I transmissionsvejen for det modtagne datasignal  $D_{in}$  fra bufferen 2 til flip-flop'en 6 er indskudt et forsinkelseselement 9, som har til formål at

kompensere for den forsinkelse, som kloksignalet nødvendigvis bliver udsat for i f.eks. X-OR-kredsen 3 og resonatorkredsløbet 5, således at samplingen i flip-flop'en 6 sker tilnærmelsesvis midt i datasignalets bitperiode.

5

Forsinkelseselementet 9 kan eventuelt være justerbart for at kunne kompensere for produktionstolerancer; men dette kræver, at der må foretages en individuel justering af hvert enkelt kredsløb under produktion, hvilket i væsentlig grad fordyrer og komplicerer produktet. Da især forsinkelsen i resonatorkredsløbet 5 desuden kan variere en del med temperaturen, er forsinkelseselementet 9 imidlertid ved de meget høje datahastigheder, dvs. de meget korte bitperioder, ikke i stand til at sikre, at samplingen i flip-flop'en 6 sker i præcis det meget korte tidsrum, hvor datasignalet er stabilt.

På fig. 2 er derfor vist et kredsløb 11 ifølge opfindelsen, hvor dette problem er løst. Den største del af kredsløbet 11 svarer til kredsløbet 1 fra fig. 1, og de komponenter, som indgår i begge figurer er også betegnet ved de samme henvisningstal. En fasedetektor 12, hvis virkemåde vil blive beskrevet nærmere nedenfor, sammenligner her det gendannede kloksignal Ck med datasignalet og frembringer på sin udgang et signal, som er udtryk for faseforskellen mellem de to signaler og dermed mellem det optimale samplingstidspunkt og det faktiske samplings-  
tidspunkt. Udgangssignalet fra resonatorkredsløbet 5 benyttes nu ikke direkte som det gendannede kloksignal, men føres i stedet til indgangen på en styrbar forsinkelseseenhed 13, som styres af udgangssignalet fra fasedetektoren 12. Udgangssignalet fra forsinkelseseenheden 13 udgør så det gendannede kloksignal Ck, som nu er justeret, så samplingstidspunktet i flip-flop'en 6 bliver optimalt.

35

Også i kredsløbet 11 er der vist en forsinkelsesenhed 9 i datasignalvejen. Denne kan fortsat være hensigtsmæssig for at kompensere for kloksignalet's større forsinkelse i kredsen 3 og resonatorkredsløbet 5, da det styrbare for-

5    sinkelseselement 13 i følge sagens natur kun kan give positive forsinkelser. Det skal bemærkes, at forsinkelsesenheden 13 i princippet også kan være sammensat af en fast og en styrbar forsinkelse.

10   På fig. 3 er vist et eksempel på, hvordan fasedetektoren 12 kan være opbygget. Som nævnt sammenligner fasedetektoren 12 det gendannede kloksignal  $C_k$  med datasignalet  $D_{in}$  og frembringer på sin udgang et signal, som er udtryk for faseforskellen mellem de to signaler og dermed mellem det

15   optimale samplingstidspunkt og det faktiske samplings-tidspunkt. Dette sker ved, at det gendannede kloksignal  $C_k$  benyttes til i tre flip-flop'er 21, 22, 23 at sample datasignalet  $D_{in}$  til tre forskellige tidspunkter. Hvis den anvendte type flip-flop er indrettet til at sample på

20   en positivt gående klokflanke, vil udgangene på de to flip-flop'er 21 og 22 vise henholdsvis nuværende og foregående samplingsværdi af datasignalet. Den nuværende værdi benævnes sample C (SC), medens den foregående benævnes sample A (SA). Det forudsættes her, at forsinkelsen i

25   flip-flop 21 er tilstrækkelig til, at en ny samplingsværdi på udgangen (SC) foranlediget af en positivt gående klokflanke først fremkommer efter, at flip-flop 22 har foretaget sin sampling foranlediget af samme klokflanke. Er dette ikke tilfældet, må der indskydes et ekstra for-

30   sinkelsesled mellem de to flip-flop'er.

Flip-flop 23 vil på grund af inverteren 24 sample datasignalet på kloksignalet's negativt gående flanke, hvorved der opnås en samplingsværdi (sample B, SB) midt mellem de

35   to andre, dvs. omkring det tidspunkt, hvor overgangen fra foregående til nuværende bitperiode finder sted, idet det

her forudsættes, at kloksignalets positive og negative halvperioder er lige lang. Er dette ikke tilfældet, kan inverteren 24 erstattes af et forsinkelseskredsløb med en forsinkelse svarende til en halv klokperiode.

5

På udgangene af de tre flip-flop'er vil der således være repræsenteret tre på hinanden følgende samplingsværdier, nemlig SA, som er foretaget omkring midten af foregående bitperiode, SB som er foretaget omkring det tidspunkt, hvor overgangen fra foregående til nuværende bitperiode finder sted, og SC som er foretaget omkring midten af nuværende bitperiode. Ved hjælp af en X-OR-kreds 25 og en efterfølgende inverter 26 frembringes et signal SAC, som er logisk "1", hvis samplingsværdierne SA og SC er ens, og logisk "0", hvis de er forskellige, dvs. at der er sket et skift fra foregående til nuværende bitperiode. Tilsvarende frembringes ved hjælp af en X-OR-kreds 27 og en efterfølgende inverter 28 et signal SAB, som er logisk "1", hvis samplingsværdierne SA og SB er ens, og logisk "0", hvis de er forskellige.

To NOR-kredse 29 og 30 frembringer derefter to signaler UP og DOWN. Hvis SAC er logisk "1", svarende til at samplingsværdierne SA og SC er ens, vil begge signalerne UP og DOWN være logisk "0" uanset af værdien af SAB, idet samplingsværdien SB så er uden betydning, da man i denne situation alligevel ikke kan uddrage information om samplingstidspunktets placering.

Er SAC derimod logisk "0", svarende til at der er sket et skift fra foregående til nuværende bitperiode, bestemmes signalerne UP og DOWN af signalet SAB. Signalet DOWN bliver logisk "1", hvis SAB er "1", idet dette svarer til, at samplingsværdierne SA og SB er ens som følge af, at skiftet fra foregående til nuværende bitperiode er indtrådt senere end kloksignalets negative flanke. I så fald

ligger klocksignalet for tidligt i forhold til det optimale samplingstidspunkt, og signalet DOWN signalerer, at det skal forsinkes yderligere. Hvis SAB derimod er "0", bliver signalet UP logisk "1", idet dette svarer til, at  
5 samplingsværdierne SA og SB er forskellige som følge af, at skiftet fra foregående til nuværende bitperiode er indtrådt før klocksignalets negative flanke. I så fald ligger klocksignalet for sent i forhold til det optimale samplingstidspunkt, og signalet UP signalerer, at forsin-  
10 kelsen skal mindskes.

For at omdanne de to signaler UP og DOWN til et enkelt signal, som via filteret 12 kan føres til forsinkelses-  
elementet 13, føres de to signaler til et tristatekreds-  
15 løb eller en ladningspumpe 31. Når begge signaler er "0", er udgangen på kredsløbet 31 i en højimpedant (tristate) tilstand, således at forsinkelseselementet 13 ikke påvirkes, dvs. der ændres ikke på forsinkelsen. Når signalet UP er logisk "1", afgiver kredsløbet 31 en posi-  
20 tiv spænding, som føres til forsinkelseselementet 13 og dermed øger styrespændingen, således at forsinkelsen mindskes. Tilsvarende afgiver kredsløbet 31, når signalet DOWN er logisk "1", en negativ spænding, som føres til forsinkelseselementet 13 og dermed sænker styrespændin-  
25 gen, således at forsinkelsen øges. Herved vil klocksignalet Ck løbende blive justeret, så sampling B hele tiden foretages netop på skiftetidspunktet og sampling C dermed midt i bitperioden.

30 Det skal i øvrigt bemærkes, at i det viste kredsløb udfører de to flip-flop'er 6 og 21 samme funktion, idet signalet SC på udgangen af flip-flop 21 er magen til det signal, der på udgangen af flip-flop 6 udgør det retimedede datasignal  $D_{out}$ . Den ene af de to flip-flop'er kan derfor  
35 udelades. Når der ovenfor er omtalt to adskilte flip-flop'er, skyldes det blot overskuelighedshensyn.



På fig. 2 er den styrbare forsinkelsesenhed 13 indskudt i kloksignalgrenen, således at det er det gendannede kloksignal, der forsinkes i afhængighed af den af fase-detektoren 12 målte faseforskel. Det afgørende for opfindelsen er imidlertid blot, at kloksignalet og datasignalet justeres i forhold til hinanden, hvorimod det ikke er afgørende, om det er kloksignalet eller datasignalet, der udsættes for den variable forsinkelse. På fig. 4 er derfor vist en alternativ udførelsesform for et kredsløb 33 ifølge opfindelsen. I stedet for den styrbare forsinkelsesenhed 13 i kloksignalgrenen er der her indskudt en styrbar forsinkelsesenhed 34 i datasignalgrenen. Fase-detektoren 12 sammenligner her det gendannede kloksignal Ck med det forsinkede datasignal og frembringer som tidligere på sin udgang et signal, som er udtryk for faseforskellen mellem de to signaler og dermed mellem det optimale samplingstidspunkt og det faktiske samplingstidspunkt. De øvrige dele af kredsløbet på fig. 4 er uændrede i forhold til kredsløbet fra fig. 2. Det skal i øvrigt bemærkes, at den faste forsinkelse 9 og den styrbare forsinkelsesenhed 34 eventuelt kan kombineres i en enkelt enhed.

På figurerne 2 og 4 sker forsinkelsen af henholdsvis kloksignalet og datasignalet ved hjælp af en styrbar forsinkelsesenhed 12 henholdsvis 34. På fig. 5 er vist en udførelsesform, hvor forsinkelsen sker på en anden måde. Det gendannede kloksignal Ck frembringes her af en spændingsstyret oscillator 37, som er frekvenslåst til udgangssignalet fra resonatorkredsløbet 5. Kloksignalet Ck føres tilbage til en fase-frekvensdetektor 35, hvor det sammenlignes med udgangssignalet fra resonatorkredsløbet 5. En eventuel frekvensforskel mellem de to kloksignaler vil på udgangen af fase-frekvensdetektoren 35 give anledning til et fejlsignal, som via et lavpasfilter 36 tilfø-

res som styresignal til den spændingsstyrede oscillator 37.

Ved hjælp heraf sikres, at det gendannede kloksignal Ck er frekvenslåst til udgangssignalet fra resonatorkredsløbet 5. Derimod giver det ikke sikkerhed for, at samplingen af datasignalet i flip-flop'en 6 sker på det rigtige tidspunkt i forhold til datasignalet. Dette opnås så ved, at fasedetektoren 12 sammenligner det gendannede kloksignal Ck med datasignalet og på sin udgang frembringer et signal, som er udtryk for faseforskellen mellem de to signaler og dermed mellem det optimale samplingstidspunkt og det faktiske samplingstidspunkt. Dette offsetsignal filtreres i lavpasfilteret 38 og adderes derefter i summationspunktet 39 til det fra fase-frekvensdetektoren 35 kommende fejlsignal, inden dette tilføres lavpasfilteret 36 i den oprindelige sløjfe. Dette resulterer i en faseændring af den spændingsstyrede oscillator 37 og dermed af det gendannede kloksignal. Hvis tidskonstanterne for de to filtre 36 og 38 vælges således, at filteret 38 er meget langsommere end filteret 36, vil den sløjfe, der består af fasedetektoren 12, filtrene 38 og 36 samt den spændingsstyrede oscillator 37, justere det gendannede kloksignal Ck således, at samplingstidspunktet i flip-flop'en 6 bliver optimalt. De øvrige dele af kredsløbet på fig. 5 er uændrede i forhold til kredsløbet fra fig. 2.

Det skal bemærkes, at den på fig. 5 viste måde til frembringelse af tidsforsinkelsen også kan anvendes, når det som på fig. 4 er datasignalet, der forsinkes.

Selv om der er blevet beskrevet og vist foretrukne udførelsesformer for nærværende opfindelse, er opfindelsen ikke begrænset til disse, men kan også antage andre udfø-

relsesformer inden for det, der angives i de efterfølgende krav.

5

## P a t e n t k r a v :

-----

1. Fremgangsmåde til gendannelse af et digitalt datasig-  
5    nal ( $D_{out}$ ) og et kloksignal ( $Ck_{out}$ ) ud fra et modtaget da-  
tasignal ( $D_{in}$ ) bestående af et antal på hinanden følgende  
bit, hvor der først ved hjælp af et resonatorkredsløb (5)  
frembringes et kloksignal ud fra det modtagne datasignal,  
10    og hvor det gendannede datasignal frembringes ved at  
sample det modtagne datasignal med det gendannede klok-  
signal,  
k e n d e t e g n e t    ved, at det modtagne datasignal og  
det gendannede kloksignal faselåses til hinanden, således  
at det modtagne datasignal samples tilnærmelsesvis midt i  
15    hver bit.
2. Fremgangsmåde ifølge krav 1,    k e n d e t e g n e t  
ved, at nævnte faselåsning sker ved, at der måles en fa-  
seforskel mellem det gendannede kloksignal og det modtag-  
20    ne datasignal, og at et af dem tidsforsinkes i afhængig-  
hed af denne faseforskel.
3. Fremgangsmåde ifølge krav 1 eller 2,    k e n d e -  
t e g n e t    ved, at det gendannede kloksignal tidsfor-  
25    sinkes i afhængighed af den målte faseforskel.
4. Fremgangsmåde ifølge krav 1 eller 2,    k e n d e -  
t e g n e t    ved, at det modtagne datasignal tidsforsin-  
kes i afhængighed af den målte faseforskel.  
30
5. Fremgangsmåde ifølge krav 2-4,    k e n d e t e g n e t  
ved, at nævnte tidsforsinkelse frembringes ved at tilføre  
den målte faseforskel som styresignal til en styrbar for-  
sinkelsesenhed (13; 34).  
35

6. Fremgangsmåde ifølge krav 2-4, k e n d e t e g n e t ved, at nævnte tidsforsinkelse frembringes ved at tilføre den målte faseforskel som et yderligere styresignal til en frekvenslåst sløjfe, hvori en styret oscillator (37) frembringer det gendannede kloksignal styret af et signal, som er frembragt som udtryk for en frekvensvariation mellem det gendannede kloksignal og et udgangssignal fra nævnte resonatorkredsløb.
7. Kredsløb til gendannelse af et digitalt datasignal ( $D_{out}$ ) og et kloksignal ( $CK_{out}$ ) ud fra et modtaget datasignal ( $D_{in}$ ) bestående af et antal på hinanden følgende bit, hvor kredsløbet omfatter et resonatorkredsløb (5) til at frembringe et kloksignal ud fra det modtagne datasignal og er indrettet til at frembringe det gendannede datasignal ved at sample det modtagne datasignal med det gendannede kloksignal, k e n d e t e g n e t ved, at det er indrettet til at faselåse det modtagne datasignal og det gendannede kloksignal til hinanden, således at det modtagne datasignal samples tilnærmelsesvis midt i hver bit.
8. Kredsløb ifølge krav 7, k e n d e t e g n e t ved, at det omfatter midler (12) til at måle en faseforskel mellem det gendannede kloksignal og det modtagne datasignal og til at foretage nævnte faselåsning ved at tidsforsinke et af dem i afhængighed af denne faseforskel.
9. Kredsløb ifølge krav 7 eller 8, k e n d e t e g n e t ved, at det omfatter midler (13; 35, 36, 37, 38, 39) til at tidsforsinke det gendannede kloksignal i afhængighed af den målte faseforskel.
10. Kredsløb ifølge krav 7 eller 8, k e n d e t e g n e t ved, at det omfatter midler (34) til at tidsfor-

sinke det modtagne datasignal i afhængighed af den målte faseforskel.

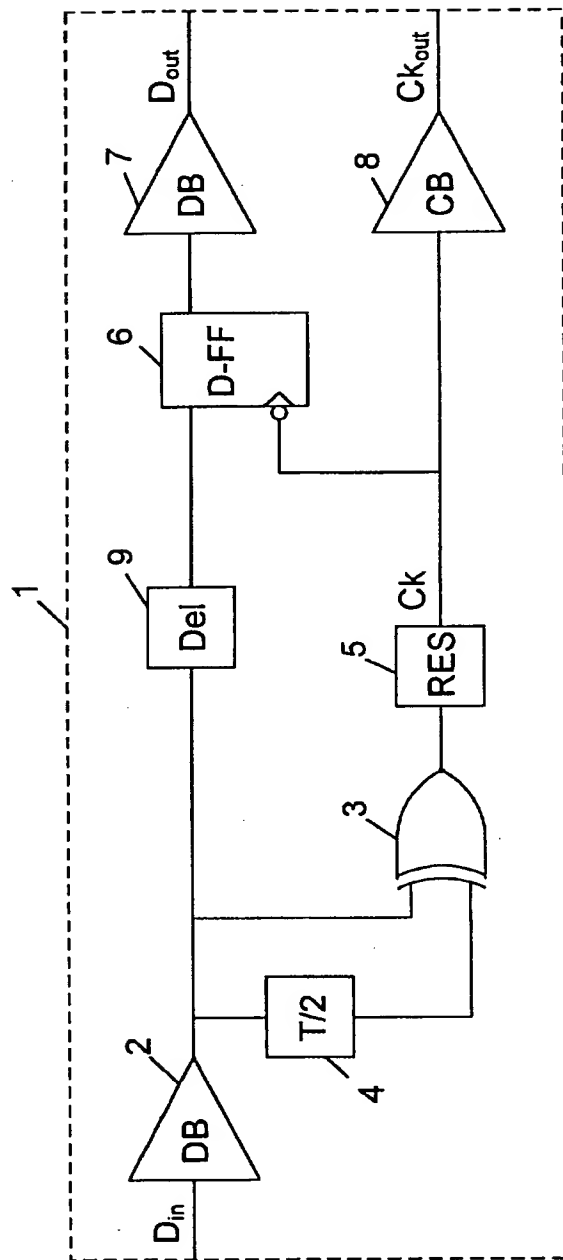
- 5 11. Kredsløb ifølge krav 8-10, k e n d e t e g n e t ved, at det omfatter en styrbar forsinkelsesenhed (13; 34), som er indrettet til at frembringe nævnte tidsforsinkelse styret af den målte faseforskel.
- 10 12. Kredsløb ifølge krav 8-10, k e n d e t e g n e t ved, at det omfatter en frekvenslåst sløjfe, hvori en styret oscillator (37) kan frembringe det gendannede kloksignal styret af et signal, som er frembragt som udtryk for en frekvensvariation mellem det gendannede kloksignal og et udgangssignal fra nævnte resonatorkredsløb
- 15 (5), og hvor den frekvenslåste sløjfe desuden er indrettet til at frembringe nævnte tidsforsinkelse ved at få tilført den målte faseforskel som et yderligere styresignal.

Fremgangsmåde og kredsløb til gendannelse af et digitalt datasignal og et kloksignal ud fra et modtaget datasignal

#### SAMMENDRAG

Ved en fremgangsmåde til gendannelse af et digitalt datasignal (Dout) og et kloksignal (Ckout) ud fra et modtaget datasignal (Din) bestående af et antal på hinanden følgende bit frembringes der først ved hjælp af et resonatorkredsløb (5) et kloksignal ud fra det modtagne datasignal. Det gendannede datasignal frembringes ved at sample det modtagne datasignal med det gendannede kloksignal. Det modtagne datasignal og det gendannede kloksignal faselåses til hinanden, således at det modtagne datasignal samples tilnærmelsesvis midt i hver bit. Ved at faselåse de to signaler til hinanden umiddelbart inden samplingen ophæves virkningen af varierende tidsforsinkelser, som de to signaler hver især har været udsat for på deres vej gennem kredsløbet, og hver sampling kan foretages præcis i det meget korte tidsrum, hvor datasignalet er stabilt.

Fig. 2 foreslås offentliggjort.



**Fig. 1**



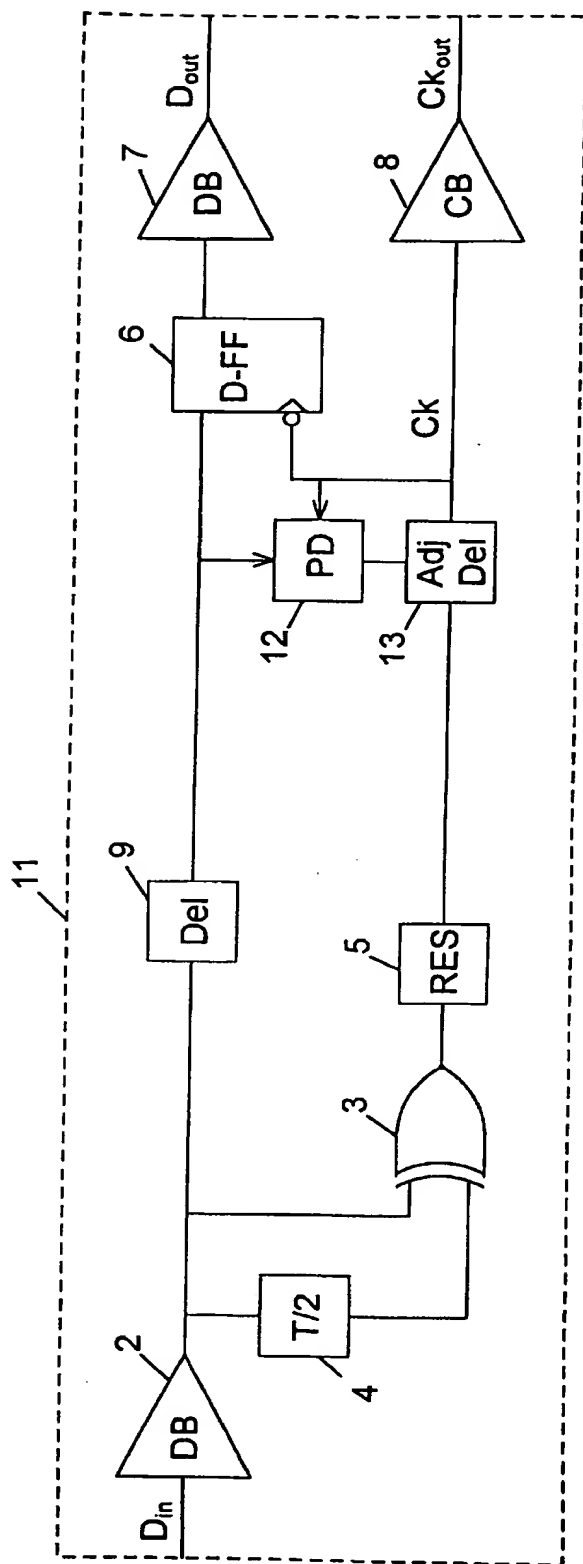


Fig. 2

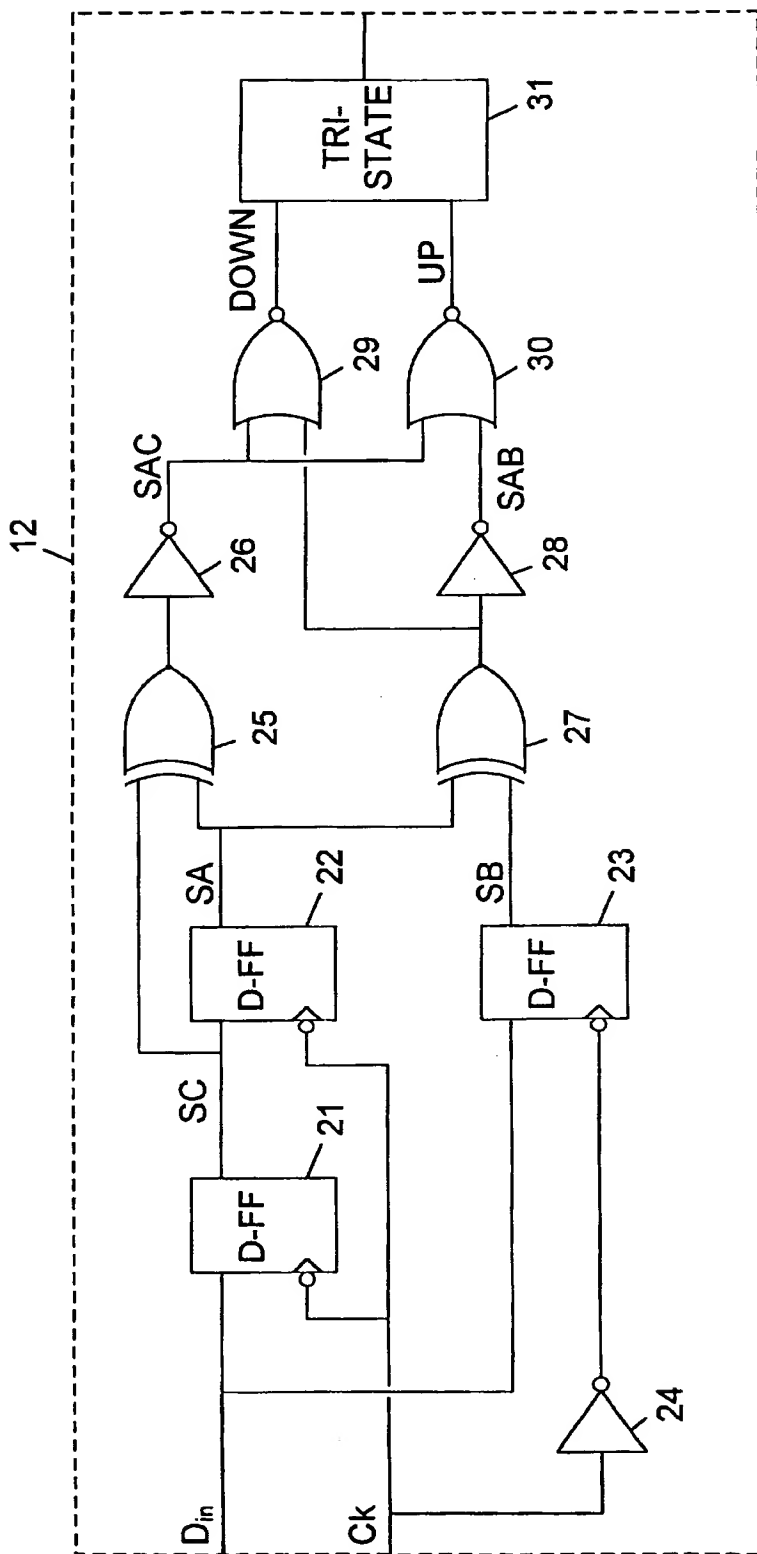
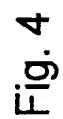


Fig. 3



**Fig. 4**

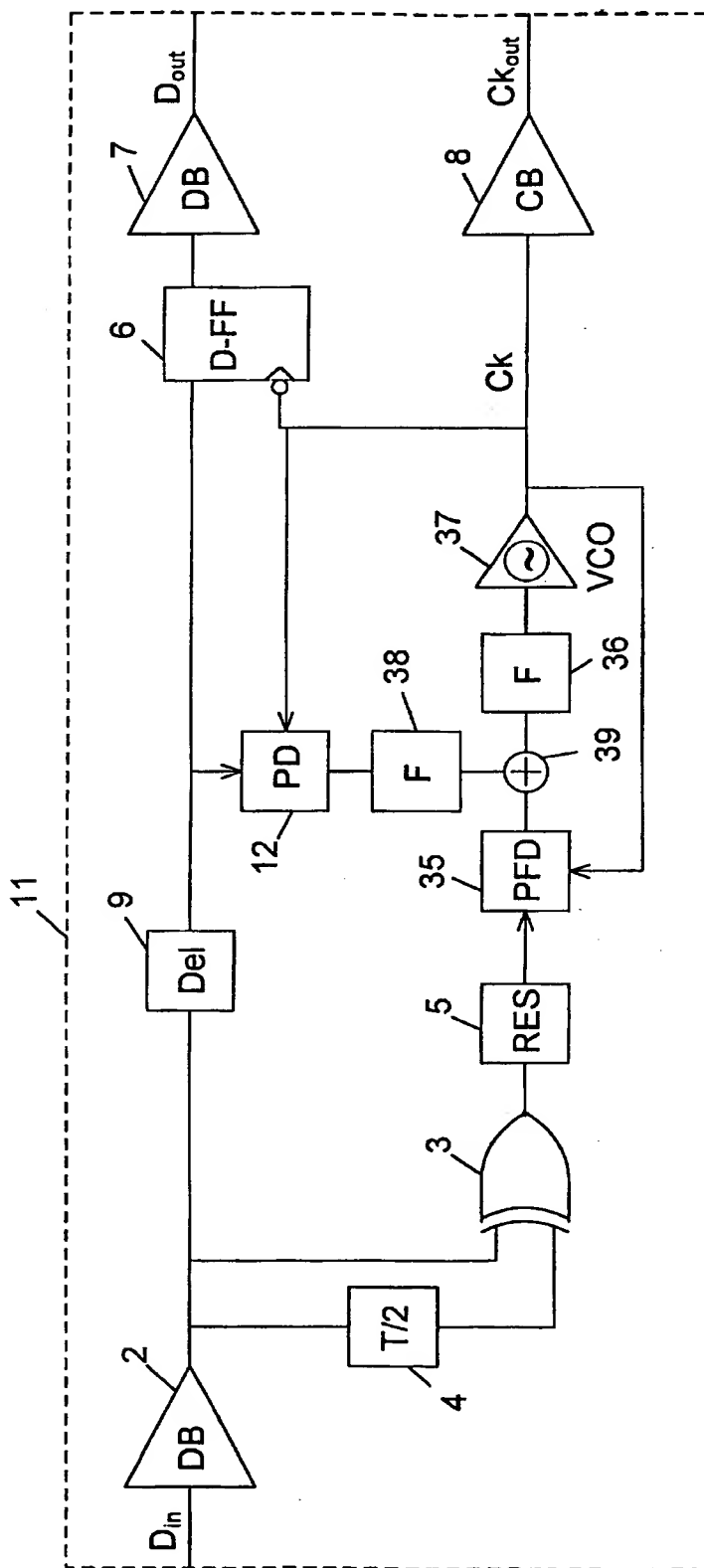


Fig. 5